

PATENT
9862-000017/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Dae-Seung JEONG et al. Conf. No.: Unknown
Filing Date: February 18, 2004 Examiner: Unknown
Appl. No.: 10/779,677 Group Art Unit: Unknown
Title: RECOVERY OF CLOCK AND DATA USING QUADRATURE CLOCK SIGNALS

PRIORITY LETTER

April 30, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

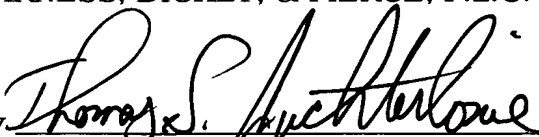
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2003-0039613	June 19, 2003	Korea

In support of Applicant's priority claim, please enter this document into the file.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 08-0750 for any additional fees required under 37 C.F.R. § 1.16 or under § 1.17; particularly, extension of time fees.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 

Thomas S. Auchterlonie,
Reg. No. 37, 275

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

Harness, Dickey + Pierce
101779, 617
(703) 668-8000



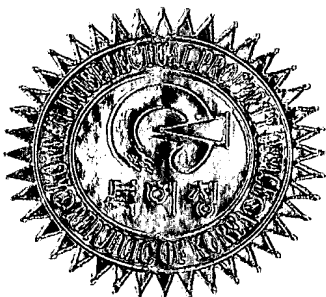
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0039613
Application Number

출원 년 월 일 : 2003년 06월 19일
Date of Application JUN 19, 2003

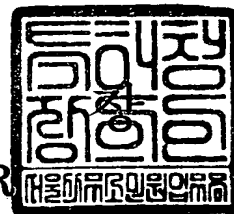
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.19
【발명의 명칭】	선형 위상 검출기를 이용한 클럭 및 데이터 복원 장치 및 그 방법
【발명의 영문명칭】	APPARATUS FOR RECOVERING CLOCK AND DATA USING LINEAR PHASE DETECTOR, AND METHOD USING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	정대승
【성명의 영문표기】	JEONG,Dae Seung
【주민등록번호】	720405-1668211
【우편번호】	139-786
【주소】	서울특별시 노원구 중계3동 무지개아파트 211동 713호
【국적】	KR
【발명자】	
【성명의 국문표기】	우에다
【성명의 영문표기】	KIMIO,U Eda
【주민등록번호】	610503-5100593
【우편번호】	135-240
【주소】	서울특별시 강남구 개포동 187 주공5단지 504-1109
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 40 면 40,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 44 항 1,517,000 원

【합계】 1,586,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

제공되는 신호들의 위상차를 고속으로 검출할 수 있는 위상차 검출 방법에 관한 발명을 개시한다. 본 발명에 따른 위상차 검출 방법은 데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를 검출하는 단계, 상기 검출된 각 위상차에 대한 제 1 위상차 정보들을 각기 가지는 복수의 위상차 정보 신호들을 발생시키는 단계, 상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 제 2 위상차 정보를 가지는 복수의 조합 신호들을 발생시키는 단계 및 상기 복수의 조합 신호들을 이용하여 위상차 신호를 발생시키는 단계를 포함한다. 본 발명에 따른 위상차 검출 방법은 입력되는 신호들의 위상차를 고속으로 검출할 수 있다.

【대표도】

도 1

【색인어】

위상 검출기, 위상차, PHASE, CDR, 클럭 및 데이터 복원

【명세서】**【발명의 명칭】**

선형 위상 검출기를 이용한 클럭 및 데이터 복원 장치 및 그 방법 {APPARATUS FOR RECOVERING CLOCK AND DATA USING LINEAR PHASE DETECTOR, AND METHOD USING THE SAME}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 일 태양에 따른 선형 위상 검출기의 구성을 도시한 블록도이다.

도 2a는 도 1에 도시된 선형 위상 검출기의 바람직한 일 실시예에 따른 구성을 도시한 회로도이다.

도 2b는 도 1에 도시된 선형 위상 검출기의 바람직한 일 실시예에 따른 4:1 멀티플렉서의 구성을 도시한 회로도이다.

도 3은 도 1에 도시된 선형 위상 검출기의 바람직한 일 실시예에 따른 선형 위상 검출기의 신호 흐름을 도시한 신호도이다.

도 4는 본 발명의 다른 태양으로서, 도 1에 도시된 선형 위상 검출기를 이용한 클럭 및 데이터 복원 장치의 구성을 도시한 블록도이다.

도 5는 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 P/V 변환기의 구성을 도시한 블록도이다.

도 6은 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 차지 펌프의 구성을 도시한 블록도이다.

도 7은 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 필터부의 구성을 도시한 블록도이다.

도 8은 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 전압 제어 발진기의 구성을 도시한 블록도이다.

도 9는 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 결정 회로부의 구성을 도시한 블록도이다.

도 10은 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 클럭 및 데이터를 복원하는 방법의 전체적인 순서도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 선형 위상 검출기, 위상차 검출 방법, 클럭 및 데이터를 복원(이하, CDR)하는 장치 및 방법에 관한 것으로서, 더욱 상세하게는 입력되는 신호들의 위상을 비교하여 위상차를 검출하고, 검출된 상기 위상차를 보상하여 클럭 및 데이터를 복원시키는 선형 위상 검출기, 위상차 검출 방법, CDR 장치 및 방법에 관한 발명이다.

<13> 많은 기술 분야에서, 데이터가 송수신되고 있으며, 송신기는 데이터 신호를 전송하고, 수신기는 상기 데이터 신호를 수신한다. 상기 데이터 신호가 수신될 때, 상기 송신기에서 전송된 상기 데이터 신호는 상기 수신기에 에러없이 수신되어 정확하게 복원되어야 한다. 상기 데이터 신호를 정확하게 복원하기 위해서, 상기 수

신기 측에서는 전송 주파수에 상응하는 주파수 클럭 신호를 이용하여 상기 데이터 신호를 복원시킨다. 이 때, 상기 전송된 데이터 신호가 정확하게 복원되기 위해서는 상기 데이터 신호의 위상과 상기 주파수 클럭 신호의 위상이 동기(synchronization) 되어야 한다. 그러나, 상기 데이터 신호가 전송 선로 등을 통과하는 경우, 상기 데이터 신호에 전송 지연(propagation delay)이 발생된다. 즉, 상기 데이터 신호의 위상과 상기 주파수 클럭 신호의 위상이 동기(synchronization) 되지 않는다. 그러므로, 전송된 데이터 신호가 정확하게 복원되지 않을 수 있다. 이러한 문제점을 해결하기 위한 장치가 선행 위상 검출기 및 CDR 장치이다.

<14> 종래의 CDR 장치는 위상 검출기, P/V 변환기, 전압 제어 발진기 및 결정 회로부를 포함하고 있다. 상기 위상 검출기는 입력되는 신호들의 위상차를 비교하는 장치로서, 종래에는, 입력되는 신호들이 상호 동일한 동작속도를 가지는 신호들이었다. 예를 들어, 데이터 신호와 주파수 클럭 신호가 입력된다고 하면, 상기 데이터 신호의 전송율이 10Gb/s일 때, 상기 주파수 클럭 신호의 주파수도 10GHz였다.

<15> 기술이 급속히 발전하여, 초당 전송되어야 하는 데이터의 전송량이 계속하여 증가하고 있다. 즉, 대용량의 데이터를 고속으로 전송할 수 있는 매체가 필요하게 되었다. 그러나, 종래의 상기 전압 제어 발진기는 한정된 범위의 주파수 클럭 신호만을 발진시킬 수 있거나 높은 주파수에서 발진시킬 수 있다고 하더라도 지터 또는 위상 잡음을 최적화시킬 수 없었다. 그러므로, 상기 위상 검출기는 한정된 범위의 전송율을 가지는 데이터 신호만을 처리할 수 있었다. 예를 들어, 사용자가 상기 데이터 신호를 20Gb/s로 전송할 필요가 있다고 가정하자. 상기 전압 제어 발진기가 최대 5GHz의 주파수 클럭 신호만을 발진시킬 수 있다면, 종래의 기술(full rate)에서는, 상기 위상 검출기는 5Gb/s의 데이터 신호만을 고속으로 처리할 수 있었다.



<16> 이러한 문제점을 해결하기 위해서, 또 다른 종래의 CDR 장치는 1/2 비율(1/2-rate) 위상 검출기를 제안하였다. 상기 1/2 비율 위상 검출기는 2배의 전송율의 차이를 가지는 신호들을 제공받아 이들의 위상차를 검출할 수 있는 장치이다. 예를 들어, 상기 전압 제어 발진기로부터 발진된 주파수 클럭 신호의 주파수가 5GHz인 경우, 상기 위상 검출기는 최대 10Gb/s의 상기 데이터 신호를 고속으로 처리할 수 있었다. 즉, 상기 위상 검출기는 종전의 기술보다 동작 속도가 2배 빨라졌다고 할 수 있다. 그러나, 상기 1/2 비율(1/2-rate) 위상 검출기는 상기의 문제점을 근본적으로 해결할 수 없었다. 즉, 더 많은 데이터 신호를 고속으로 전송해야 할 경우, 동일한 문제가 다시 발생된다. 기술이 급격하게 발전함에 따라 대용량의 데이터가 빠른 시간 내에 처리될 필요가 있으며, 이에 따라 고속으로 데이터 신호를 처리할 수 있는 위상 검출기 및 CDR 장치가 요구된다.

【발명이 이루고자 하는 기술적 과제】

- <17> 본 발명에서는 상기한 바와 같은 종래 기술의 문제점을 해결하기 위해, 입력되는 신호들의 위상차를 고속으로 검출할 수 있는 위상차 검출 방법을 제안한다.
- <18> 본 발명의 다른 목적은 입력되는 신호들의 위상차를 고속으로 검출할 수 있는 선형 위상 검출기를 제안한다.
- <19> 본 발명의 또 다른 목적은 입력되는 클럭 신호 및 데이터 신호를 고속으로 복원시킬 수 있는 클럭 및 데이터 복원 방법을 제안한다.
- <20> 본 발명의 또 다른 목적은 입력되는 클럭 신호 및 데이터 신호를 고속으로 복원시킬 수 있는 클럭 및 데이터 복원 장치를 제안한다.



【발명의 구성 및 작용】

<21> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 위상차 검출 방법은 데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를 검출하는 단계; 상기 검출된 각 위상차에 대한 제 1 위상차 정보들을 각기 가지는 복수의 위상차 정보 신호들을 발생시키는 단계; 상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 제 2 위상차 정보를 가지는 복수의 조합 신호들을 발생시키는 단계 및 상기 복수의 조합 신호들을 이용하여 위상차 신호를 발생시키는 단계를 포함할 수 있다. 상기 각각의 위상차를 검출하는 단계는, 상기 N 은 4이며, 상기 복수의 클럭 신호들은 서로 다른 위상을 가질 수 있다. 본 발명에 따른 위상차 검출 방법은 상기 위상차 정보 신호들을 이용하여 기준 신호에 대한 정보를 가지는 복수의 기준 정보 신호들을 발생시키는 단계; 및 상기 복수의 기준 정보 신호들을 이용하여, 패턴 의존성을 보상하는 상기 기준 신호를 발생시키는 단계를 더 포함할 수 있다. 상기 복수의 기준 정보 신호들을 발생시키는 단계는, 상기 복수의 위상차 정보 신호들을 래치시키는 단계를 포함할 수 있다. 상기 기준 신호를 발생시키는 단계는, 상기 복수의 기준 정보 신호들을 멀티플렉싱시키는 단계 및 상기 멀티플렉싱된 신호들에 대하여 하나 이상의 XOR 연산을 수행하는 단계를 포함할 수 있다. 상기 위상차 정보 신호들을 발생시키는 단계는, 상기 데이터 신호를 상호 병렬로 결합된 각 래치에 각기 통과시키는 단계를 포함할 수 있다. 상기 복수의 조합 신호들을 발생시키는 단계는, 하나 이상의 XOR 연산을 수행하는 단계를 포함할 수 있다. 상기 위상차 신호를 발생시키는 단계는, 상기 복수의 조합 신호들을 멀티플렉싱시키는 단계를 포함할 수 있다.

<22> 본 발명의 또 다른 실시예에 따른 위상차 검출 방법은 제1주기(c_1)를 가지는 데이터 신호열을 입력하는 단계; 상기 제1주기 보다 긴 제2주기($c_2=c_1/n$; 여기서 $n \geq 4$)를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 클럭 신호들을 각각 입력하는 단계; 상기 각 클럭 신호들에 대응하는 상기 데이터 신호열의 각 데이터 신호들을 대응하는 클럭 신호에 응답하여 각기 래치하고 n 개의 위상차 정보 신호들을 각각 발생시키는 단계; 상기 n 개의 위상차 정보 신호들을 조합하여 n 개의 조합 신호들을 각각 발생시키는 단계; 및 상기 n 개의 조합 신호들을 상기 n 개의 클럭 신호들로 멀티플렉싱하여 상기 제1주기와 동일한 주기를 가지며, 상기 입력되는 데이터 신호열의 순서에 대응하는 순서로 나열된 위상차 신호열을 출력하는 단계를 포함할 수 있다. 상기 데이터신호열의 전송율은 적어도 수십Gb/s 이상일 수 있다. 본 발명의 일 실시예에 따른 상기 데이터신호열의 전송율은 40Gb/s이고, 상기 n 은 4일 수 있다. 상기 위상차 정보 신호들의 조합은 임의의 로직 회로 조합일 수 있다. 상기 방법은 상기 n 개의 위상차 정보 신호들을 상기 n 개의 클럭 신호들 중 대응하는 클럭 신호에 응답하여 각각 래치하고, 상기 제2주기와 동일한 n 개의 기준 정보 신호들을 발생시키는 단계; 및 상기 n 개의 기준 정보 신호들을 상기 n 개의 클럭 신호들로 멀티플렉싱하고 조합하여 상기 제1주기와 동일한 주기를 가지며, 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 기준 신호열을 발생시키는 단계를 더 포함할 수 있다.

<23> 본 발명의 일 실시예에 따른 선형 위상 검출기는 데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를 검출하고, 상기 검출된 각 위상차에 대한 제 1 위상차 정보들을 각기 가지는 복수의 위상차 정보 신호들을 발생시키는 위상차 정보부; 상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 제 2 위상차 정보를 가지는 복수의

조합 신호들을 발생시키는 조합부 및 상기 복수의 조합 신호들을 이용하여 위상차 신호를 발생시키는 위상차 신호 발생부를 포함할 수 있다. 상기 위상차 정보부는, 상기 N은 4이고, 상기 복수의 클럭 신호들은 서로 다른 위상을 가질 수 있다. 본 발명의 일 실시예에 따른 선형 위상 검출기는 상기 복수의 위상차 정보 신호들을 이용하여 기준 신호에 대한 정보를 가지는 복수의 기준 정보 신호들을 발생시키는 기준 신호 정보부; 및 상기 복수의 기준 정보 신호들을 이용하여, 패턴 의존성을 보상하는 상기 기준 신호를 발생시키는 기준 신호 발생부를 더 포함할 수 있다. 상기 기준 신호 발생부는, 상기 기준 신호 정보부에 결합되어 있는 제 1 멀티플렉서; 상기 기준 신호 정보부에 결합되어 있는 제 2 멀티플렉서; 및 상기 제 1 멀티플렉서 및 상기 제 2 멀티플렉서에 결합되어 있는 제 1 XOR 게이트를 포함할 수 있다. 상기 위상차 정보부는 상호 병렬로 결합된 제 1 래치, 제 2 래치, 제 3 래치 및 제 4 래치를 포함할 수 있다. 상기 기준 신호 정보부는, 상기 제 1 래치의 출력단에 결합되어 있는 제 5 래치; 상기 제 2 래치의 출력단에 결합되어 있는 제 6 래치; 상기 제 3 래치의 출력단에 결합되어 있는 제 7 래치; 및 상기 제 4 래치의 출력단에 결합되어 있는 제 8 래치를 포함할 수 있다. 상기 조합부는, 상기 제 1 래치의 상기 출력단 및 상기 제 4 래치의 상기 출력단에 결합되어 있는 제 2 XOR 게이트; 상기 제 1 래치의 상기 출력단 및 상기 제 2 래치의 상기 출력단에 결합되어 있는 제 3 XOR 게이트; 상기 제 2 래치의 상기 출력단 및 상기 제 3 래치의 상기 출력단에 결합되어 있는 제 4 XOR 게이트; 및 상기 제 3 래치의 상기 출력단 및 상기 제 4 래치의 상기 출력단에 결합되어 있는 제 5 XOR 게이트를 포함할 수 있다. 상기 위상차 신호 발생부는 상기 제 2 XOR 게이트의 출력단, 상기 제 3 XOR 게이트의 출력단, 상기 제 4 XOR 게이트의 출력단 및 상기 제 5 XOR 게이트의 출력단에 결합되어 있는 제 3 멀티플렉서를 포함할 수 있다.

<24> 본 발명의 다른 실시예에 따른 위상차 검출 장치는 제1주기(c_1)를 가지는 데이터 신호열을 입력하고, 상기 제1주기 보다 긴 제2주기($c_2=c_1/n$; 여기서 $n \geq 4$)를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 클럭 신호들을 각각 입력하고, 상기 각 클럭 신호들에 대응하는 상기 데이터 신호열의 각 데이터 신호들을 대응하는 클럭 신호에 응답하여 n 개의 위상차 정보 신호들을 각각 발생시키는 n 개의 래치수단들; 상기 n 개의 래치수단들과 연결되고, 상기 n 개의 위상차 정보 신호들을 조합하여 n 개의 조합 신호들을 각각 발생시키는 n 개의 논리조합수단들; 및 상기 n 개의 논리조합수단들과 연결되고, 상기 n 개의 조합 신호들을 상기 n 개의 클럭 신호들에 응답하여 상기 제1주기와 동일한 주기를 가지며, 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 위상차 신호열을 출력하는 멀티플렉서를 포함할 수 있다.

<25> 본 발명의 다른 실시예에 따른 클럭 및 데이터 복원 방법은 데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 주파수 클럭 신호들에 각기 위상을 비교하여 위상차 신호, 기준 신호 및 상기 데이터 신호의 일부 데이터 정보를 가지는 복수의 서브 데이터 신호들을 발생시키는 단계; 상기 위상차 신호 및 상기 기준 신호를 이용하여 제어 전압을 제어하는 전압 제어 신호를 발생시키는 단계; 상기 전압 제어 신호에 따라 상기 복수의 주파수 클럭 신호들을 보상시키는 단계; 상기 보상된 복수의 주파수 클럭 신호들을 제공하여 상기 데이터 신호와 위상을 비교하는 단계; 상기 복수의 서브 데이터 신호들과 상기 보상된 복수의 주파수 클럭 신호들을 이용하여 데이터 신호를 리타이밍시키는 단계를 포함할 수 있다. 상기 위상차 신호, 상기 기준 신호 및 상기 복수의 서브 데이터 신호들을 발생시키는 단계는, 상기 N 은 4이고, 상기 복수의 주파수 클럭 신호들은 서로 다른 위상을 가질 수 있다. 상기 위상차 신호, 상기 기준 신호 및 상기 복수의 서브 데이터 신호들을 발생시키는 단계는, 상기 데이터 신호를 상기 복수의 주파수 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를

검출하는 단계; 상기 검출된 각 위상차에 대한 제 1 위상차 정보를 각기 가지는 복수의 위상차 정보 신호들을 발생시키는 단계; 상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 상기 제 2 위상차 정보를 가지는 복수의 조합 신호들을 발생시키는 단계; 및 상기 복수의 조합 신호들을 이용하여 상기 위상차 신호를 발생시키는 단계를 포함할 수 있다. 본 발명에 따른 상기 클럭 및 데이터 복원 방법은 상기 복수의 위상차 정보 신호들을 이용하여, 패턴 의존성을 보상하는 기준 신호에 대한 정보를 가지는 복수의 기준 정보 신호들을 발생시키는 단계; 상기 복수의 기준 정보 신호들을 이용하여 상기 기준 신호를 발생시키는 단계를 더 포함할 수 있다. 그리고, 상기 복수의 위상차 정보 신호들을 이용하여 상기 데이터 신호의 상기 복수의 서브 데이터 신호들을 발생시키는 단계를 더 포함할 수 있다. 상기 전압 제어 신호를 발생시키는 단계는, 상기 기준 신호를 이용하여 패턴 의존성을 보상하는 단계, 상기 위상차 신호 및 상기 기준 신호에 따라 전하량 제어 신호를 발생시키는 단계 및 상기 전하량 제어 신호에 따라 상기 전압 제어 신호를 발생시키는 단계를 포함할 수 있다. 그리고, 본 발명에 따른 클럭 및 데이터 복원 방법은 상기 전압 제어 신호에서 노이즈에 해당하는 지터 신호를 제거하는 단계를 더 포함할 수 있다. 상기 복수의 주파수 클럭 신호들을 보상하는 단계는 상기 전압 제어 신호에 따라 주파수를 변화시키는 단계; 및 상기 변화된 주파수에 상응하여 상기 복수의 주파수 클럭 신호들을 보상시키는 단계를 포함할 수 있다. 상기 데이터 신호를 리타이밍시키는 단계는, 상기 복수의 서브 데이터 신호들을 버퍼링시키는 단계 및 상기 버퍼링된 복수의 서브 데이터 신호들을 멀티플렉싱시켜 상기 데이터 신호를 리타이밍시키는 단계를 포함할 수 있다.

<26> 본 발명의 다른 실시예에 따른 클럭 및 데이터 복원 방법은 제1주기($c1$)를 가진 데이터 신호열을 입력하고, 상기 제1주기 보다 긴 제2주기($c2 = c1/n$; 여기

서 $n \geq 4$)를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 주파수 클럭 신호들을 각각 입력하여, 상기 제1주기와 동일한 주기를 가지며 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 위상차 신호열 및 기준 신호열과, 상기 제2주기와 동일한 주기를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 서브 데이터 신호열들을 각각 출력하는 단계; 상기 위상차 신호열과 상기 기준 신호열을 입력하여 상기 위상차 신호열에 응답하여 레벨이 가변되는 전압제어신호를 발생시키는 단계; 상기 전압제어신호의 레벨에 응답하여 주파수 제어된 n 개의 주파수 클럭 신호들을 상기 n 개의 주파수 클럭 신호들로 발생시키는 단계; 및 상기 n 개의 서브 데이터 신호열들을 상기 주파수 제어된 n 개의 클럭 신호들로 리타이밍시켜 상기 제1주기와 동일한 주기를 가진 복원 데이터 신호열을 발생시키는 단계를 포함할 수 있다.

<27> 본 발명의 일 실시예에 따른 클럭 및 데이터 복원 장치는 데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 주파수 클럭 신호들에 각기 위상을 비교하여 위상차 신호, 기준 신호 및 상기 데이터 신호의 일부 데이터 정보를 가지는 서브 데이터 신호들을 발생시키는 선형 위상 검출기; 상기 위상차 신호 및 상기 기준 신호를 이용하여 전압 제어 신호를 발생시키는 P/V 변환기; 상기 전압 제어 신호에 따라 상기 복수의 주파수 클럭 신호들을 발생시키고, 상기 전압 제어 신호에 따라 상기 복수의 주파수 클럭 신호들을 보상시키며, 상기 보상된 주파수 클럭 신호들을 상기 선형 위상 검출기에 제공하는 전압 제어 발진기; 및 상기 복수의 서브 데이터 신호들과 상기 보상된 복수의 주파수 클럭 신호들을 이용하여 상기 데이터 신호를 리타이밍시키고, 상기 리타이밍된 데이터 신호를 발생시키는 결정 회로부를 포함할 수 있다. 상기 선형 위상 검출기는, 상기 N 은 4이고, 상기 복수의 주파수 클럭 신호들은 서로 다른 위상을 가질 수 있다. 상기 선형 위상 검출기는, 상기 데이터 신호를 상기 복수의 주파수 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를 검출하고, 상기 검출된

각 위상차에 대한 제 1 위상차 정보를 각기 가지는 위상차 정보 신호들을 발생시키는 위상차 정보부; 상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 제 2 위상차 정보를 가지는 복수의 조합 신호들을 발생시키는 조합부; 및 상기 복수의 조합 신호들을 이용하여 상기 위상차 신호를 발생시키는 위상차 신호 발생부를 포함할 수 있다. 상기 선형 위상 검출기는, 상기 복수의 위상차 정보 신호들을 이용하여 기준 신호에 대한 정보를 가지는 복수의 기준 정보 신호들을 발생시키는 기준 신호 정보부; 및 상기 복수의 기준 정보 신호들을 이용하여, 패턴 의존성을 보상하는 상기 기준 신호를 발생시키는 기준 신호 발생부를 더 포함할 수 있다. 상기 P/V 검출기는, 상기 위상차 신호 및 상기 기준 신호에 따라 전하량 제어 신호를 발생시키는 차지 펌프; 및 상기 전하량 제어 신호에 따라 상기 전압 제어 신호를 발생시키는 필터부를 포함할 수 있다. 상기 차지 펌프는, 상기 위상차 신호 및 상기 기준 신호에 따라 상기 필터부에 전하를 제공하는 전하 충전부; 상기 위상차 신호 및 상기 기준 신호에 따라 상기 필터부에 축전된 전하를 방전시키는 전하 방전부; 및 상기 기준 신호를 이용하여 패턴 의존성을 보상하는 패턴 보상부를 포함할 수 있다. 상기 필터부는 저대역 통과 필터이다. 상기 필터부는 상기 전하량 제어 신호에 따라 상기 전압 제어 신호를 발생시키는 전압 신호 발생부를 포함할 수 있다. 상기 전압 제어 발진기는, 상기 전압 제어 신호에 따라 주파수를 변화시키는 튜닝부; 및 상기 변화된 주파수에 따라 상기 복수의 주파수 클럭 신호들을 보상시키고, 상기 보상된 복수의 주파수 클럭 신호들을 상기 선형 위상 검출기에 제공하는 주파수 신호 발생부를 포함할 수 있다. 상기 결정 회로부는 상기 기준 신호 정보부에 결합된 멀티플렉서를 포함할 수 있다. 상기 결정 회로부는, 상기 기준 신호 정보부에 결합된 버퍼 및 상기 버퍼의 출력단에 결합된 멀티플렉서를 포함할 수 있다.

- <28> 본 발명의 다른 실시예에 따른 클럭 및 데이터 복원 장치는 제1주기(c_1)를 가진 데이터 신호열을 입력하고, 상기 제1주기 보다 긴 제2주기($c_2 = c_1/n$; 여기서 $n \geq 4$)를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 주파수 클럭 신호들을 각각 입력하여, 상기 제1주기와 동일한 주기를 가지며 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 위상차 신호열 및 기준 신호열과, 상기 제2주기와 동일한 주기를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 서브 데이터 신호열들을 각각 출력하는 위상차 검출수단; 상기 위상차 검출수단과 연결되고, 상기 위상차 신호열과 상기 기준 신호열을 입력하여 상기 위상차 신호열에 응답하여 레벨이 가변되는 전압제어신호를 발생하는 P/V 변환수단; 상기 P/V 변환수단에 연결되고, 상기 전압제어신호의 레벨에 응답하여 주파수 제어된 n 개의 주파수 클럭 신호들을 상기 n 개의 주파수 클럭 신호들로 발생하는 전압제어발진수단; 및 상기 n 개의 서브 데이터 신호열들을 상기 주파수 제어된 n 개의 주파수 클럭 신호들로 리타이밍시켜 상기 제1주기와 동일한 주기를 가지는 복원 데이터 신호열을 발생시키는 결정수단을 포함할 수 있다.
- <29> 이하에서는 첨부된 도면을 참조하여 본 발명에 따른 선형 위상 검출기, 위상차 검출 방법, CDR 장치 및 방법의 바람직한 실시예를 상세하게 설명한다.
- <30> 도 1은 본 발명의 바람직한 일 태양에 따른 선형 위상 검출기의 구성을 도시한 블록도이다.
- <31> 도 1을 참조하면, 본 발명에 따른 선형 위상 검출기는 위상차 정보부(200), 조합부(220), 위상차 신호 발생부(240), 기준 신호 정보부(260) 및 기준 신호 발생부(280)를 포함할 수 있다.
- <32> 본 발명에 따른 위상 검출기는 선형 위상 검출기이다.

- <33> 선형 위상 검출기는 제공되는 신호들의 위상이 동기되어 있는지의 여부를 검출할 수 있을 뿐만 아니라 제공되는 신호들의 위상차 폭을 검출할 수 있다. 그러나, 비선형 위상 검출기는 제공되는 신호들의 위상이 동기되어 있는지의 여부만을 검출할 수 있다.
- <34> 데이터 신호(10)는 주기 신호일 수도 있고 비주기 랜덤 신호일 수도 있다. 또한, 데이터 신호(10)는 RZ 신호 또는 NRZ 신호일 수도 있다. 이하에서는, 상기 데이터 신호(10)를 주기적인 NRZ 신호로 가정하겠다.
- <35> 본 발명에 따른 선형 위상 검출기는 제공되는 데이터 신호(10)의 위상과 복수의 클럭 신호들(15)의 위상을 비교하여 위상차를 검출한다.
- <36> 복수의 클럭 신호들(15)은 상기 데이터 신호(10)의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가진다. 또한, 복수의 클럭 신호들(15)은 서로 다른 위상을 가진다.
- <37> 본 발명의 일 실시예에 따른 상기 선형 위상 검출기는 상기 N 이 4인 위상 검출기이다. 이하에서는 N 을 4로 가정한다. 상기 N 이 4인 경우, 데이터 신호(10)가 40Gb/s의 전송율을 가지고 위상차 정보부(200)에 입력되는 동안 복수의 클럭 신호들(15)은 10GHz의 주파수를 가지고 위상차 정보부(200)에 입력된다. 복수의 클럭 신호들(15)의 주파수가 10GHz인 경우, 종래의 선형 위상 검출기는 20Gb/s의 데이터 신호(10)를 고속으로 처리할 수 있었지만, 본 발명에 따른 선형 위상 검출기는 40Gb/s의 데이터 신호(10)를 고속으로 처리할 수 있다. 상기 N 이 8인 경우, 본 발명의 다른 실시예에 따른 선형 위상 검출기는 10GHz의 주파수를 가지는 클럭 신호들(15)에 상응하여 80Gb/s의 데이터 신호(10)를 처리할 수 있다. 즉, 본 발명에 따른 선형 위상 검출기는 데이터 신호(10)의 위상과 복수의 클럭 신호들(15)의 위상을 비교하여 고속으로 위상차를 검출할 수 있다.

- <38> 위상차 정보부(200)는 데이터 신호(10)를 복수의 클럭 신호들(15)에 각기 위상을 비교하여 각각의 위상차를 검출하고, 상기 검출된 각각의 위상차에 해당하는 제 1 위상차 정보들을 각기 가지는 복수의 위상차 정보 신호들(20)을 발생시킨다. 위상차 정보부(200)로부터 발생된 복수의 위상차 정보 신호들(20)은 조합부(220) 및 기준 신호 정보부(260)에 제공된다.
- <39> 조합부(220)는 복수의 위상차 정보 신호들(20)을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 제 2 위상차 정보를 가지는 복수의 조합 신호들(30)을 발생시킨다. 즉, 각 조합 신호들(30)은 적어도 2개의 상기 제 1 위상차 정보를 각기 포함하고 있다. 조합부(220)로부터 발생된 복수의 조합 신호들(30)은 위상차 신호 발생부(240)에 제공된다.
- <40> 위상차 신호 발생부(240)는 복수의 조합 신호들(30)을 이용하여 위상차 신호(50)를 발생시킨다. 위상차 신호(50)는 데이터 신호(10)와 복수의 클럭 신호들(15)의 위상차에 해당하는 신호이다.
- <41> 기준 신호 정보부(260)는 위상차 정보 신호들(20)을 이용하여 기준 신호(60)에 대한 정보를 가지는 기준 정보 신호들(40)을 발생시킨다. 기준 신호 정보부(260)로부터 발생된 기준 정보 신호들(40)은 기준 신호 발생부(280)에 제공된다.
- <42> 기준 신호 발생부(280)는 기준 정보 신호들(40)을 이용하여 기준 신호(60)를 발생시킨다. 기준 신호(60)는 패턴 의존성(pattern dependency)을 보상시킨다. 상기 패턴 의존성(pattern dependency)은 이하 첨부된 도면을 참조하여 상술하겠다.
- <43> 도 2a는 도 1에 도시된 선형 위상 검출기의 바람직한 일 실시예에 따른 구성을 도시한 회로도이다.



<44> 도 2a를 참조하면, 위상차 정보부(200)는 상호 병렬로 결합된 제 1 래치, 제 2 래치, 제 3 래치 및 제 4 래치를 포함할 수 있다. 본 발명에 따른 상기 제 1 래치, 제 2 래치, 제 3 래치 및 제 4 래치는 파지티브-레벨 트리거드 래치(positive-level triggered latch)이다. 상기 파지티브-레벨 트리거드 래치(positive-level triggered latch)는 클럭이 "1"인 동안에만 데이터 신호(10)를 제공받는다. 그리고, 상기 파지티브-레벨 트리거드 래치(positive-level triggered latch)는 상기 클럭이 "1"인 동안에 상기 제공받은 데이터 신호(10)를 동일하게 출력한다. 상기 제 1 래치, 제 2 래치, 제 3 래치 및 제 4 래치에는 각기 위상이 다른 4개의 클럭 신호들이 입력된다. 본 발명의 일 실시예에 따른 상기 4개의 클럭 신호들은 서로 90°의 위상차를 가진다. 즉, 상기 제 1 래치에 제공되는 클럭 신호(이하, I 클럭 신호)를 기준으로 하면, 상기 제 2 래치에 제공되는 클럭 신호는 상기 I 클럭 신호와 90°의 위상차를 가지고, 상기 제 3 래치에 제공되는 클럭 신호는 상기 I 클럭 신호와 180°의 위상차를 가지며, 상기 제 4 래치에 제공되는 클럭 신호는 상기 I 클럭 신호와 270°의 위상차를 가진다.

<45> 조합부(220)는 제 2 XOR 게이트, 제 3 XOR 게이트, 제 4 XOR 게이트 및 제 5 XOR 게이트를 포함할 수 있다. 상기 제 2 XOR 게이트는 상기 제 1 래치의 출력단 및 상기 제 4 래치의 출력단에 결합되어 있고, 상기 제 3 XOR 게이트는 상기 제 1 래치의 출력단 및 상기 제 2 래치의 출력단에 결합되어 있으며, 상기 제 4 XOR 게이트는 상기 제 2 래치의 출력단 및 상기 제 3 래치의 출력단에 결합되어 있고, 상기 제 5 XOR 게이트는 상기 제 3 래치의 출력단 및 상기 제 4 래치의 출력단에 결합되어 있다. 조합부(220)는 상기 제 2 XOR 게이트, 제 3 XOR 게이트, 제 4 XOR 게이트 및 제 5 XOR 게이트들을 이용하여 XOR 연산을 수행한다. 조합부(220)에 의해 XOR 연산된 복수의 조합 신호들(30)은 e1 신호, e2 신호, e3 신호 및 e4 신호이다. 상기 XOR 연산

은 오드 함수(odd function)로서, 입력 신호들에서 홀수개의 "1"이 존재할 경우에 "1"의 값, 즉, 하이 로직 레벨의 값을 갖는 연산을 의미한다.

- <46> 위상차 신호 발생부(240)는 제 3 멀티플렉서를 포함하고 있다. 상기 제 3 멀티플렉서는 4:1 멀티플렉서로서, 4개의 신호를 입력받아 하나의 출력 신호를 발생시키는 멀티플렉서이다. 본 발명에 따른 위상차 신호 발생부(240)는 상기 e1 신호, e2 신호, e3 신호 및 e4 신호를 제공받아 멀티플렉싱시켜 위상차 신호(50)를 발생시킨다.
- <47> 기준 신호 정보부(260)는 제 5 래치, 제 6 래치, 제 7 래치 및 제 8 래치를 포함하고 있다. 상기 제 5 래치는 상기 제 1 래치의 상기 출력단에 결합되어 있고, 상기 제 6 래치는 상기 제 2 래치의 상기 출력단에 결합되어 있으며, 상기 제 7 래치는 상기 제 3 래치의 상기 출력단에 결합되어 있고, 상기 제 8 래치는 상기 제 4 래치의 상기 출력단에 결합되어 있다. 상기 제 5 래치, 제 6 래치, 제 7 래치 및 제 8 래치는 각기 하나의 클럭 신호를 제공한다. 본 발명의 일 실시예에 따른 기준 신호 정보부(260)는 서로 다른 위상을 가지는 4개의 클럭 신호들을 제공한다. 상세하게는, 상기 제 5 래치는 상기 제 1 래치의 클럭 신호와 180°의 위상차가 나는 클럭 신호를 제공하고, 상기 제 6 래치는 상기 제 2 래치의 클럭 신호와 180°의 위상차가 나는 클럭 신호를 제공받으며, 상기 제 7 래치는 상기 제 3 래치의 클럭 신호와 180°의 위상차가 나는 클럭 신호를 제공하고, 상기 제 8 래치는 상기 제 4 래치의 클럭 신호와 180°의 위상차가 나는 클럭 신호를 제공한다.
- <48> 기준 신호 발생부(280)는 제 1 멀티플렉서, 제 2 멀티플렉서 및 제 1 XOR 게이트를 포함하고 있다. 상기 제 1 멀티플렉서 및 제 2 멀티플렉서는 기준 신호 정보부(260)에 결합되어 있고, 상기 제 1 XOR 게이트는 상기 제 1 멀티플렉서 및 상

기 제 2 멀티플렉서에 결합되어 있다. 본 발명에 일 실시예에 따른 상기 제 1 멀티플렉서는 상기 제 5 래치의 출력단 및 제 7 래치의 출력단에 결합되어 있고, 상기 제 2 멀티플렉서는 상기 제 6 래치의 출력단 및 상기 제 8 래치의 출력단에 결합되어 있다. 기준 신호 발생부(280)는 복수의 기준 정보 신호들(40)을 멀티플렉싱시키고, 상기 멀티플렉싱된 복수의 기준 정보 신호들(40)을 XOR 연산시킨다.

- <49> 도 2b는 도 1에 도시된 선형 위상 검출기의 바람직한 일 실시예에 따른 4:1 멀티플렉서의 구성을 도시한 회로도이다.
- <50> 도 2b를 참조하면, 상기 제 3 멀티플렉서는 3개의 2:1 멀티플렉서를 포함하고 있다. 그리고, 상기 제 3 멀티플렉서는 도 2b에 도시된 바와 같이 서로 다른 위상을 가지는 2개의 클럭 신호들을 제공받는다. 상기 e1 신호, e2 신호, e3 신호 및 e4 신호는 서로 다른 위상을 가지는 상기 클럭 신호들(15)에 의해 소정의 순서로 출력되어 위상차 신호(50)를 발생시킨다.
- <51> 본 발명의 다른 실시예에 따른 선형 위상 검출기는 복수의 제 1 래치수단들, 복수의 제 1 논리 조합 수단들, 제 3 멀티플렉서, 복수의 제 2 래치 수단들, 제 1 멀티플렉서, 제 2 멀티플렉서 및 제 2 논리 수단들을 포함할 수 있다.
- <52> 상기 복수의 제 1 래치수단들은 상호 병렬로 결합되어 있다. 제 1 주기($c1$)를 가지는 데이터 신호열과 제 2 주기($c2=c1/n$, 여기서 $n \geq 4$)를 가지는 복수의 클럭 신호들이 제공된다. 상기 데이터 신호열은 각 래치에 각기 병렬로 제공된다. 상기 데이터 신호열은 상기 복수의 클럭 신호에 응답하여 n 개의 위상차 정보 신호들을 발생시킨다. 본 발명의 일 실시예에 따른 상기 데이터 신호열의 전송율은 수십 Gb/s일 수 있다.

- <53> 상기 복수의 제 1 논리 조합 수단들은 상기 위상차 정보 신호들을 이용하여 조합 신호들을 발생시킨다. 본 발명의 일 실시예에 따른 상기 복수의 제 1 논리 조합 수단들은 복수의 XOR 게이트를 포함할 수 있다. 상기 조합 신호들은 상기 제 3 멀티플렉서에 제공된다.
- <54> 상기 제 3 멀티플렉서는 상기 n개의 조합 신호들을 상기 n/2개의 클럭 신호들에 응답하여 위상차 신호열을 발생시킨다. 상기 위상차 신호는 상기 제 1 주기와 동일한 주기를 가지며, 상기 입력되는 데이터 신호열의 순서에 대응하는 순서로 나열된다.
- <55> 상기 위상차 정보 신호들은 복수의 래치들을 포함하는 상기 제 2 래치 수단들에 제공된다. 상기 제 2 래치 수단들은 상기 제 2 주기와 동일한 주기를 가지는 n개의 기준 정보 신호들을 발생시킨다.
- <56> 상기 제 2 멀티플렉서 및 상기 제 2 논리 조합 수단은 상기 기준 정보 신호들을 이용하여 기준 신호열을 발생시킨다. 상기 기준 신호열은 상기 제 1 주기와 동일한 주기를 가진다.
- <57> 도 3은 도 1에 도시된 선형 위상 검출기의 바람직한 일 실시예에 따른 선형 위상 검출기의 신호 흐름을 도시한 신호도이다.
- <58> 도 3에 도시된 바와 같이, 데이터 신호(10)는 디퍼렌셜(differential) 신호이고, 상기 4개의 클럭 신호들은 소정의 순서로 각기 90° 위상차를 가진 신호들이다. 이하에서는, 상기 4개의 클럭 신호들을 I 클럭 신호, Q 클럭 신호, I1 클럭 신호 및 Q1 클럭 신호라 하겠다.
- <59> 도 3을 참조하면, 본 발명에 따른 상기 선형 위상 검출기는 데이터 신호(10)를 각 클럭 신호에 각기 위상을 비교하여 각각 위상차를 검출하고, 상기 검출된 각 위상차에 대한 상기 제 1 위상차 정보들을 각기 가지는 4개의 위상차 정보 신호들(20)을 발생시킨다. 본 발명의 일 실시예에 따른 위상차 정보 신호들(20)은 m1, m2, m3 및 m4 신호이다. 상기 m1 신호는 데이터

신호(10)와 I 클럭 신호의 위상차에 해당하는 제 1 위상차 정보를 가지는 신호이고, 상기 m2 신호는 데이터 신호(10)와 Q 클럭 신호의 위상차에 해당하는 제 1 위상차 정보를 가지는 신호이며, 상기 m3 신호는 데이터 신호(10)와 I1 클럭 신호의 위상차에 해당하는 제 1 위상차 정보를 가지는 신호이고, 상기 m4 신호는 데이터 신호(10)와 Q1 클럭 신호의 위상차에 해당하는 제 1 위상차 정보를 가지는 신호이다.

<60> 조합부(220)에 제공된 상기 m1 신호 및 상기 m4 신호가 조합부(220)의 상기 제 2 XOR 게이트에 입력된다. 그 결과 상기 e1 신호가 발생된다. 조합부(220)에 제공된 상기 m1 신호와 상기 m2 신호가 상기 제 3 XOR 게이트에 입력된다. 그 결과 상기 e2 신호가 발생된다. 조합부(220)에 입력된 상기 m2 신호와 상기 m3 신호가 상기 제 4 XOR 게이트에 입력된다. 그 결과 상기 e3 신호를 발생된다. 조합부(220)에 제공된 상기 m3 신호와 상기 m4 신호가 상기 제 5 XOR 게이트에 입력된다. 그 결과 상기 e4 신호를 발생된다. 상기 e1 신호, e2 신호, e3 신호 및 e4 신호는 복수의 조합 신호들(30)에 해당한다.

<61> 상기 e1 신호, e2 신호, e3 신호 및 e4 신호는 2개 이상의 제 1 위상차 정보를 포함하는 제 2 위상차 정보를 각기 가지고 있다. 예를 들어, 상기 e2 신호는 데이터 신호(10)와 상기 I 클럭 신호의 위상차에 해당하는 제 1 위상차 정보 및 데이터 신호(10)와 상기 Q 클럭 신호의 위상차에 해당하는 제 1 위상차 정보를 포함하는 제 2 위상차 정보를 가지고 있다.

<62> 상기 제 3 멀티플렉서는 상기 e1 신호, e2 신호, e3 신호 및 e4 신호를 조합부(220)로부터 제공받아 위상차 신호(50)를 발생시킨다. 즉, 상기 제 3 멀티플렉서는 상기 I 클럭 신호와 상기 Q 클럭 신호를 이용하여 상기 e1 신호, e2 신호, e3 신호 및 e4 신호를 소정의 순서로 발생시킨다. 이 신호가 위상차 신호(50)이다. 예를 들어, 상기 I 클럭 신호가 "0"이고, 상기 Q 클럭 신호가 "0"인 경우, 상기 제 3 멀티플렉서는 상기 e1 신호를 출력하고, 상기 I 클럭 신호가 "0

"이고, 상기 Q 클럭 신호가 "1"인 경우, 상기 제 3 멀티플렉서는 상기 e2 신호를 출력하며, 상기 I 클럭 신호가 "1"이고, 상기 Q 클럭 신호가 "0"인 경우, 상기 제 3 멀티플렉서는 상기 e3 신호를 출력하고, 상기 I 클럭 신호가 "1"이고, 상기 Q 클럭 신호가 "1"인 경우, 상기 제 3 멀티플렉서는 상기 e4 신호를 출력한다.

<63> 기준 신호 정보부(260)는 위상차 정보 신호들(20)-상기 m1 신호, m2 신호, m3 신호 및 m4 신호-을 제공받아 상기 기준 신호에 대한 정보를 가지는 기준 정보 신호들(40)을 발생시킨다. r1 신호, r2 신호, r3 신호 및 r4 신호가 기준 정보 신호들(40)에 해당한다. 상기 r1 신호와 상기 r3 신호는 상기 제 1 멀티플렉서에 제공되고, 상기 r2 신호와 상기 r4 신호는 상기 제 2 멀티플렉서에 제공된다. 상기 제 1, 2 멀티플렉서를 통과한 신호들이 상기 제 1 XOR 게이트에 입력된다. 상기 제 1 XOR 게이트는 상기 제 1, 2 멀티플렉서를 통과한 신호들에 대하여 XOR 연산을 수행하여 기준 신호(60)를 발생시킨다.

<64> 도 4는 본 발명의 다른 태양으로서, 도 1에 도시된 선형 위상 검출기를 이용한 클럭 및 데이터 복원 장치의 구성을 도시한 블록도이다.

<65> 도 4를 참조하면, 본 발명에 따른 상기 CDR 장치는 선형 위상 검출기(300), P/V 변환기(320), 전압 제어 발진기(340) 및 결정 회로부(360)를 포함할 수 있다.

<66> 선형 위상 검출기(300)는 데이터 신호(70)와 주파수 클럭 신호들(120)을 입력받아 위상차 신호(90), 기준 신호(100) 및 데이터 신호(70)의 일부 데이터 정보를 가지는 복수의 서브 데이터 신호들(80)을 발생시킨다. 위상차 신호(90)는 데이터 신호(70)와 복수의 주파수 클럭 신호들(120)의 위상차에 해당하는 신호이고, 기준 신호(100)는 패턴 의존성(pattern dependency)을 보상하는 신호이다. 상기 복수의 서브 데이터 신호들(80)은 데이터 신호(70)의 일부 데이터 정보를 가지고 있는 신호이다.

- <67> P/V 변환기(320)는 위상차 신호(90)와 기준 신호(100)를 입력받아 전압 제어 신호(110)를 발생시킨다. 전압 제어 신호(110)는 전압 제어 발진기(340)의 제어 전압을 제어하는 신호이다. P/V 변환기(320)는 기준 신호(100)를 이용하여 패턴 의존성(pattern dependency)을 보상한다. 또한, P/V 변환기(320)는 위상차 신호(90)에 따라 전하량을 제어한다. 즉, 위상차 신호(90)가 양의 신호인 경우, P/V 변환기(320)는 전하를 충전시키고, 위상차 신호(90)가 음의 신호인 경우, P/V 변환기(320)는 전하를 방전시킨다.
- <68> 전압 제어 발진기(340)는 복수의 주파수 클럭 신호들(120)을 발생시켜 선형 위상 검출기(300)에 제공하고, P/V 변환기(320)로부터 제공된 전압 제어 신호(110)를 이용하여 복수의 주파수 클럭 신호들(120)을 보상시킨다. 즉, 전압 제어 발진기(340)는 복수의 주파수 클럭 신호들(120)을 보상시켜 보상된 복수의 주파수 클럭 신호들(130)을 발생시킨다. 데이터 신호(70)는 복수의 주파수 클럭 신호들(120)에 위상이 동기(synchronization) 되어있지 않다. 따라서, 데이터 신호(70)가 복원되지 않을 수 있다. 그러므로, 데이터 신호(70)를 복원시키기 위하여 데이터 신호(70)를 복수의 주파수 클럭 신호들(120)에 위상을 동기시켜야 한다. 그래서, 본 발명의 CDR 장치는 데이터 신호(70)와 주파수 클럭 신호들(120)의 위상차를 검출하여 상기 위상차만큼 위상을 보상시켜준다. 그 결과, 주파수 클럭 신호들(120)이 보상된다. 이 신호가 보상된 복수의 주파수 클럭 신호들(130)이다. 복수의 주파수 클럭 신호들(130)은 선형 위상 검출기(300) 및 결정 회로부(360)에 제공된다.
- <69> 결정 회로부(360)는 데이터 신호(70)의 일부 데이터 정보를 가지는 복수의 서브 데이터 신호들(80)과 보상된 복수의 주파수 클럭 신호들(130)을 이용하여 데이터 신호를 리타이밍(retiming)시킨다. 즉, 결정 회로부(360)는 복원된 주파수 클럭 신호(130)를 이용하여 데이터 신호(70)를 복원시킨다.

- <70> 이상에서 살펴본 바와 같이, 본 발명의 CDR 장치는 데이터 신호(70)의 전송율의 $1/N$ (N 은 4이상의 정수)의 전송율을 가지는 선형 위상 검출기(300)를 사용하므로, 종전의 CDR에 비해 더 높은 동작 속도를 구현할 수 있고 상기 제어 전압의 리플이 적다. 이하에서는, 이와 같은 특성의 선형 위상 검출기를 쿼터-비율(quarter-rate) 선형 위상 검출기라 하겠다.
- <71> 선형 위상 검출기(300)는 위에서 상술하였으므로 이하에서는 P/V 변환기(320), 전압 제어 발진기(340) 및 결정 회로부(360)에 대하여 상술하겠다.
- <72> 도 5는 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 P/V 변환기의 구성을 도시한 블록도이다.
- <73> 도 5를 참조하면, P/V 변환기(320)는 차지 펌프(400) 및 필터부(420)를 포함할 수 있다.
- <74> 차지 펌프(400)는 선형 위상 검출기(300)로부터 위상차 신호(90)와 기준 신호(100)를 제공받아 전하량 제어 신호(150)를 발생시킨다. 그리고, 차지 펌프(400)는 상기 전하량 제어 신호(150)를 필터부(420)에 제공한다. 차지 펌프(400)는 위상차 신호(90)에 따라 필터부(420)의 축적 전하량을 제어한다.
- <75> 필터부(420)는 차지 펌프(400)로부터 전하량 제어 신호(150)를 제공받아 전압 제어 신호(110)를 발생시킨다.
- <76> 도 6은 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 차지 펌프의 구성을 도시한 블록도이다.
- <77> 도 6을 참조하면, 본 발명의 일 실시예에 따른 차지 펌프(400)는 전하 충전부(500), 패턴 보상부(520) 및 전하 방전부(540)를 포함할 수 있다.

- <78> 선형 위상 검출기(300)에 입력되는 데이터 신호(70)가 랜덤(random) 신호이므로, 위상차 신호(90)는 랜덤 신호가 된다. 즉, 상기 데이터 신호(70)의 패턴(pattern)에 따라 위상차 신호(90)의 패턴(pattern)이 변한다. 이 현상을 패턴 의존성(pattern dependency)이라 한다. 상기 패턴 의존성(pattern dependency)때문에, 패턴 의존성 지터가 발생할 수 있다. 그 결과, 주파수 클럭 신호(120)가 복원되지 않을 수도 있다. 그러므로, 상기 패턴 의존성(pattern dependency)은 보상되어야 한다.
- <79> 패턴 보상부(520)는 상기 패턴 의존성(pattern dependency)을 보상하여 준다. 즉, 패턴 보상부(520)는 기준 신호(100)로 위상차 신호(90)를 보상하여 상기 패턴 의존성 지터의 발생을 방지한다.
- <80> 전하 충전부(500)는 위상차 신호(90)가 양의 신호인 경우, 위상차 신호(90)와 기준 신호(100)의 차에 해당하는 전하를 필터부(420)에 제공한다.
- <81> 전하 방전부(540)는 위상차 신호(90)가 음의 신호인 경우, 필터부(420)에 축전된 전하를 위상차 신호(90)와 기준 신호(100)의 차에 상응하여 방전시킨다.
- <82> 이와 같은 차지 펌프(400)의 동작을 분기 동작이라 한다. 선형 위상 검출기(300)는 상기 비선형 위상 검출기보다 상기 분기 동작이 적다. 그러므로, 상기 제어 전압의 리플이 적다. 즉, 발진기의 지터 또는 위상 잡음을 줄일 수 있다.
- <83> 도 7은 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 필터부의 구성을 도시한 블록도이다.
- <84> 도 7을 참조하면, 본 발명에 일 실시예에 따른 필터부(420)는 전압 제어부(600)를 포함할 수 있다.

- <85> 전압 제어부(600)는 차지 펌프(400)의 전하량 제어에 따라 전압 제어 신호(110)를 발생시킨다.
- <86> 도 8은 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 전압 제어 발진기의 구성을 도시한 블록도이다.
- <87> 도 8을 참조하면, 본 발명의 일 실시예에 따른 전압 제어 발진기(340)는 튜닝부(700) 및 주파수 신호 발생부(720)를 포함할 수 있다.
- <88> 튜닝부(700)는 전압 제어 신호(110)를 필터부(420)로부터 제공받아 튜닝 신호(160)를 발생시킨다. 튜닝부(700)는 전압 제어 신호(110)를 이용하여 상기 제어 전압을 보상한다. 즉, 튜닝부(700)는 상기 제어 전압을 보상하여 복수의 주파수 클럭 신호들(120)을 보상시키는 튜닝 신호(160)를 발생시킨다.
- <89> 주파수 신호 발생부(720)는 복수의 주파수 클럭 신호들(120)을 발생시켜 선형 위상 검출기(300)에 제공하고, 튜닝부(700)로부터 발생된 튜닝 신호(160)를 이용하여 복수의 주파수 클럭 신호들(120)을 보상하고, 보상된 복수의 주파수 클럭 신호들(130)을 선형 위상 검출기(300)에 제공한다. 복수의 주파수 클럭 신호들(130)의 위상이 데이터 신호(70)의 위상과 동기(synchronization)되는 경우, 주파수 클럭 신호가 복원되었다고 한다.
- <90> 도 9는 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 결정 회로부의 구성을 도시한 블록도이다.
- <91> 도 9를 참조하면, 본 발명의 일 실시예에 따른 결정 회로부(360)는 버퍼부(800) 및 멀티플렉서부(820)를 포함할 수 있다.

- <92> 결정 회로부(360)는 복수의 서브 데이터 신호들(80)을 보상된 복수의 주파수 클럭 신호들(130)로 리타이밍(retiming)시켜 리타이밍(retiming)된 데이터 신호들을 발생시킨다. 즉, 데이터 신호(70)가 복원된다. 리타이밍(retiming)은 데이터 신호(70)를 복원시키는 과정을 의미한다.
- <93> 버퍼부(800)는 적어도 하나의 버퍼를 포함할 수 있다. 상기 버퍼는 입력단의 임피던스(impedance) 값이 무한대이고, 출력단의 임피던스 값이 "0"이다. 그러므로, 상기 버퍼는 상기 버퍼의 출력단에 결합된 회로의 임피던스에 관계없이 상기 버퍼에 입력된 입력 신호와 동일한 신호를 출력할 수 있다. 따라서, 버퍼부(800)는 상기 버퍼의 출력단에 결합된 회로의 임피던스에 관계없이 버퍼부(800)에 입력된 복수의 데이터 신호들(80)과 동일한 신호를 멀티플렉서부(820)에 제공한다.
- <94> 멀티플렉서부(800)는 버퍼부(800)를 통과한 신호들을 리타이밍(retiming)시켜 리타이밍(retiming)된 데이터 신호(140)를 발생시킨다. 예를 들어, 40Gb/s의 전송율을 가지는 데이터 신호(70)가 선형 위상 검출기(300)에 입력된 경우, 선형 위상 검출기(300)는 10Gb/s의 전송율을 가지는 4개의 서브 데이터 신호들(80)을 결정 회로부(360)에 제공한다. 10Gb/s의 전송율을 가지는 4개의 서브 데이터 신호들(80)이 결정 회로부(360)에 입력된 경우, 결정 회로부(360)는 상기 4개의 서브 데이터 신호들(80)을 리타이밍(retiming)시켜 40Gb/s의 전송율을 가지는 리타이밍된 데이터 신호(140)를 발생시킨다. 즉, 데이터 신호(70)가 복원된다.
- <95> 도 10은 도 4에 도시된 클럭 및 데이터 복원 장치의 바람직한 일 실시예에 따른 클럭 및 데이터를 복원하는 방법의 전체적인 순서도이다.
- <96> 도 10을 참조하면, 선형 위상 검출기(300)는 데이터 신호(70)의 위상과 주파수 클럭 신호들(120)의 위상을 비교하여 위상차 신호(90) 및 기준 신호(100)를 발생시킨다(S100). 위상차 신

호(90)가 양의 신호인 경우, 차지 펌프(400)는 위상차 신호(90)와 기준 신호(100)의 차에 해당하는 전하를 필터부(420)에 제공하고(S200), 위상차 신호(90)가 음의 신호인 경우, 차지 펌프(400)는 필터부(420)에 축전된 전하를 위상차 신호(90)와 기준 신호(100)의 차에 상응하여 방전시킨다(S300). P/V 변환기(320)는 상기 전하량 제어에 따라 전압 제어 신호(110)를 발생시켜 전압 제어 발진기(340)에 제공한다(S400). 전압 제어 발진기(340)는 전압 제어 신호(110)에 따라 복수의 주파수 클럭 신호들(120)을 보상시켜 복수의 주파수 클럭 신호들(130)을 발생시킨다(S500). 그리고, 전압 제어 발진기(340)는 보상된 복수의 주파수 클럭 신호들(130)을 선형 위상 검출기(300)에 제공한다(S600).

<97> 상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가진 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경 및 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허 청구범위에 속하는 것으로 보아야 할 것이다.

【발명의 효과】

- <98> 이상에서 설명한 바와 같이, 본 발명에 따른 선형 위상 검출기 및 위상차 검출 방법은 데이터 신호의 위상과 복수의 클럭 신호들의 위상을 비교하여 고속으로 위상차를 검출할 수 있고, 자동적으로 1/N의 전송율로 리타이밍되고 디멀티플렉스된 데이터가 나오는 장점이 있다.
- <99> 본 발명에 따른 CDR 장치 및 방법은 주파수 클럭 신호를 복원하여 고속으로 데이터 신호를 복원시킬 수 있는 장점이 있다. 그러므로, 대용량의 데이터를 처리해야 할 경우, 빠른 시간 내에 데이터를 복원시킬 수 있다.

【특허청구범위】

【청구항 1】

데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를 검출하는 단계;

상기 검출된 각 위상차에 대한 제 1 위상차 정보들을 각기 가지는 복수의 위상차 정보 신호들을 발생시키는 단계;

상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 제 2 위상차 정보를 가지는 복수의 조합 신호들을 발생시키는 단계; 및

상기 복수의 조합 신호들을 이용하여 위상차 신호를 발생시키는 단계를 포함하고 있는 것을 특징으로 하는 위상차 검출 방법.

【청구항 2】

제 1항에 있어서,

상기 각각의 위상차를 검출하는 단계는,

상기 N 은 4이며, 상기 복수의 클럭 신호들은 서로 다른 위상을 가지는 것을 특징으로 하는 위상차 검출 방법.

【청구항 3】

제 1항에 있어서,



상기 위상차 정보 신호들을 이용하여 기준 신호에 대한 정보를 가지는 복수의 기준 정보 신호들을 발생시키는 단계; 및

상기 복수의 기준 정보 신호들을 이용하여, 패턴 의존성을 보상하는 상기 기준 신호를 발생시키는 단계를 더 포함하고 있는 것을 특징으로 하는 위상차 검출 방법.

【청구항 4】

제 3항에 있어서,

상기 복수의 기준 정보 신호들을 발생시키는 단계는,

상기 복수의 위상차 정보 신호들을 래치시키는 단계를 포함하고 있는 것을 특징으로 하는 위상차 검출 방법.

【청구항 5】

제 3항에 있어서,

상기 기준 신호를 발생시키는 단계는,

상기 복수의 기준 정보 신호들을 멀티플렉싱시키는 단계; 및

상기 멀티플렉싱된 신호들에 대하여 하나 이상의 XOR 연산을 수행하는 단계를 포함하고 있는 것을 특징으로 하는 위상차 검출 방법.

【청구항 6】

제 1 항에 있어서,



상기 위상차 정보 신호들을 발생시키는 단계는,
 상기 데이터 신호를 상호 병렬로 결합된 각 래치에 각기 통과시키는 단계를 포함하고 있는 것을 특징으로 하는 위상차 검출 방법.

【청구항 7】

제 1 항에 있어서,
 상기 복수의 조합 신호들을 발생시키는 단계는, 하나 이상의 XOR 연산을 수행하는 단계를 포함하고 있는 것을 특징으로 하는 위상차 검출 방법.

【청구항 8】

제 1 항에 있어서,
 상기 위상차 신호를 발생시키는 단계는, 상기 복수의 조합 신호들을 멀티플렉싱시키는 단계를 포함하고 있는 것을 특징으로 하는 위상차 검출 방법.

【청구항 9】

제1주기(c_1)를 가지는 데이터 신호열을 입력하는 단계;

상기 제1주기 보다 긴 제2주기($c_2=c_1/n$; 여기서 $n \geq 4$)를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 클럭 신호들을 각각 입력하는 단계;

상기 각 클럭 신호들에 대응하는 상기 데이터 신호열의 각 데이터 신호들을 대응하는 클럭 신호에 응답하여 각기 래치하고 n 개의 위상차 정보 신호들을 각각 발생시키는 단계;

상기 n 개의 위상차 정보 신호들을 조합하여 n 개의 조합 신호들을 각각 발생시키는 단계; 및

상기 n 개의 조합 신호들을 상기 n 개의 클럭 신호들로 멀티플렉싱하여 상기 제1주기와 동일한 주기를 가지며, 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 위상차 신호열을 출력하는 단계를 포함하는 것을 특징으로 하는 위상차 검출 방법.

【청구항 10】

제 9 항에 있어서, 상기 데이터신호열의 전송율은 적어도 1Gb/s 이상인 것을 특징으로 하는 위상차 검출 방법.

【청구항 11】

제 10 항에 있어서, 상기 데이터신호열의 전송율은 40Gb/s이고, 상기 n 은 4인 것을 특징으로 하는 위상차 검출 방법.

【청구항 12】

제 9 항에 있어서, 상기 위상차 정보 신호들의 조합은 XOR 연산조합인 것을 특징으로 하는 위상차 검출 방법.

【청구항 13】

제 9 항에 있어서,



상기 n 개의 위상차 정보 신호들을 상기 n 개의 클럭 신호들 중 대응하는 클럭 신호에 응답하여 각각 래치하고, 상기 제 2 주기와 동일한 주기를 가지는 n 개의 기준 정보 신호들을 발생하는 단계; 및

상기 n 개의 기준 정보 신호들을 상기 n 개의 클럭 신호들로 멀티플렉싱하고 조합하여 상기 제1주기와 동일한 주기를 가지며, 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 기준 신호열을 발생하는 단계를 더 포함하는 것을 특징으로 하는 위상차 검출 방법.

【청구항 14】

데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를 검출하고, 상기 검출된 각 위상차에 대한 제 1 위상차 정보들을 각기 가지는 복수의 위상차 정보 신호들을 발생시키는 위상차 정보부;

상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 제 2 위상차 정보를 가지는 복수의 조합 신호들을 발생시키는 조합부; 및

상기 복수의 조합 신호들을 이용하여 위상차 신호를 발생시키는 위상차 신호 발생부를 포함하고 있는 것을 특징으로 하는 선형 위상 검출기.

【청구항 15】

제 14항에 있어서,

상기 위상차 정보부는,

상기 N은 4이고, 상기 복수의 클럭 신호들은 서로 다른 위상을 가지는 것을 특징으로 하는 선형 위상 검출기.

【청구항 16】

제 14항에 있어서,

상기 복수의 위상차 정보 신호들을 이용하여 기준 신호에 대한 정보를 가지는 복수의 기준 정보 신호들을 발생시키는 기준 신호 정보부; 및

상기 복수의 기준 정보 신호들을 이용하여, 패턴 의존성을 보상하는 상기 기준 신호를 발생시키는 기준 신호 발생부를 더 포함하고 있는 것을 특징으로 하는 선형 위상 검출기.

【청구항 17】

제 16항에 있어서,

상기 기준 신호 발생부는,

상기 기준 신호 정보부에 결합되어 있는 제 1 멀티플렉서;

상기 기준 신호 정보부에 결합되어 있는 제 2 멀티플렉서; 및

상기 제 1 멀티플렉서 및 상기 제 2 멀티플렉서에 결합되어 있는 제 1 XOR 게이트를 포함하고 있는 것을 특징으로 하는 선형 위상 검출기.

【청구항 18】

제 16 항에 있어서,



상기 위상차 정보부는 상호 병렬로 결합된 제 1 래치, 제 2 래치, 제 3 래치 및 제 4 래치를 포함하고 있는 것을 특징으로 하는 선형 위상 검출기.

【청구항 19】

제 18 항에 있어서,

상기 기준 신호 정보부는,

상기 제 1 래치의 출력단에 결합되어 있는 제 5 래치;

상기 제 2 래치의 출력단에 결합되어 있는 제 6 래치;

상기 제 3 래치의 출력단에 결합되어 있는 제 7 래치; 및

상기 제 4 래치의 출력단에 결합되어 있는 제 8 래치를 포함하고 있는 것을 특징으로 하는 선형 위상 검출기.

【청구항 20】

제 18 항에 있어서,

상기 조합부는,

상기 제 1 래치의 상기 출력단 및 상기 제 4 래치의 상기 출력단에 결합되어 있는 제 2 XOR 게이트;

상기 제 1 래치의 상기 출력단 및 상기 제 2 래치의 상기 출력단에 결합되어 있는 제 3 XOR 게이트;



상기 제 2 래치의 상기 출력단 및 상기 제 3 래치의 상기 출력단에 결합되어 있는 제 4 XOR 게이트; 및

상기 제 3 래치의 상기 출력단 및 상기 제 4 래치의 상기 출력단에 결합되어 있는 제 5 XOR 게이트를 포함하고 있는 것을 특징으로 하는 선형 위상 검출기.

【청구항 21】

제 20 항에 있어서,

상기 위상차 신호 발생부는 상기 제 2 XOR 게이트의 출력단, 상기 제 3 XOR 게이트의 출력단, 상기 제 4 XOR 게이트의 출력단 및 상기 제 5 XOR 게이트의 출력단에 결합되어 있는 제 3 멀티플렉서를 포함하고 있는 것을 특징으로 하는 선형 위상 검출기.

【청구항 22】

제1주기(c_1)를 가지는 데이터 신호열을 입력하고, 상기 제1주기 보다 긴 제2주기 ($c_2=c_1/n$; 여기서 $n \geq 4$)를 가지며, 순차적으로 $(2\pi/n)$ 의 위상차를 가진 n 개의 클럭 신호들을 각각 입력하고, 상기 각 클럭 신호들에 대응하는 상기 데이터 신호열의 각 데이터 신호들을 대응하는 클럭 신호들에 응답하여 n 개의 위상차 정보 신호들을 각각 발생시키는 n 개의 래치수단들;

상기 n 개의 래치수단들과 연결되고, 상기 n 개의 위상차 정보 신호들을 조합하여 n 개의 조합 신호들을 각각 발생시키는 n 개의 논리조합수단들; 및



상기 n 개의 논리조합수단들과 연결되고, 상기 n 개의 조합 신호들을 상기 n 개의 클럭 신호들에 응답하여 상기 제1주기와 동일한 주기를 가지며, 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 위상차 신호열을 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 선형 위상 검출기.

【청구항 23】

데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 주파수 클럭 신호들에 각기 위상을 비교하여 위상차 신호, 기준 신호 및 상기 데이터 신호의 일부 데이터 정보를 가지는 복수의 서브 데이터 신호들을 발생시키는 단계;

상기 위상차 신호 및 상기 기준 신호를 이용하여 제어 전압을 제어하는 전압 제어 신호를 발생시키는 단계;

상기 전압 제어 신호에 따라 상기 복수의 주파수 클럭 신호들을 보상시키는 단계;

상기 보상된 복수의 주파수 클럭 신호들을 제공하여 상기 데이터 신호와 위상을 비교하는 단계;

상기 데이터 신호의 상기 복수의 서브 데이터 신호들과 상기 보상된 복수의 주파수 클럭 신호들을 이용하여 데이터 신호를 리타이밍시키는 단계를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 24】

제 23 항에 있어서,



상기 위상차 신호, 상기 기준 신호 및 상기 복수의 서브 데이터 신호들을 발생시키는 단계는 ,

상기 N은 4이고, 상기 복수의 주파수 클럭 신호들은 서로 다른 위상을 가지는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 25】

제 23 항에 있어서,

상기 위상차 신호, 상기 기준 신호 및 상기 복수의 서브 데이터 신호들을 발생시키는 단계는 ,

상기 데이터 신호를 상기 복수의 주파수 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를 검출하는 단계;

상기 검출된 각 위상차에 대한 제 1 위상차 정보를 각기 가지는 복수의 위상차 정보 신호들을 발생시키는 단계;

상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 상기 제 2 위상차 정보를 가지는 복수의 조합 신호들을 발생시키는 단계; 및

상기 복수의 조합 신호들을 이용하여 상기 위상차 신호를 발생시키는 단계를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 26】

제 25 항에 있어서,

상기 복수의 위상차 정보 신호들을 이용하여, 패턴 의존성을 보상하는 기준 신호에 대한 정보를 가지는 복수의 기준 정보 신호들을 발생시키는 단계;

상기 복수의 기준 정보 신호들을 이용하여 상기 기준 신호를 발생시키는 단계를 더 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 27】

제 26 항에 있어서, 상기 복수의 위상차 정보 신호들을 이용하여 상기 복수의 서브 데이터 신호들을 발생시키는 단계를 더 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 28】

제 25 항에 있어서,

상기 전압 제어 신호를 발생시키는 단계는,

상기 기준 신호를 이용하여 패턴 의존성을 보상하는 단계;

상기 위상차 신호 및 상기 기준 신호에 따라 전하량 제어 신호를 발생시키는 단계; 및

상기 전하량 제어 신호에 따라 상기 전압 제어 신호를 발생시키는 단계를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 29】

제 28 항에 있어서,



상기 전압 제어 신호에서 노이즈에 해당하는 지터 신호를 제거하는 단계를 더 포함하는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 30】

제 23 항에 있어서,

상기 복수의 주파수 클럭 신호들을 보상하는 단계는;

상기 전압 제어 신호에 따라 주파수를 변화시키는 단계; 및

상기 변화된 주파수에 상응하여 상기 복수의 주파수 클럭 신호들을 보상시키는 단계를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 31】

제 23 항에 있어서,

상기 데이터 신호를 리타이밍시키는 단계는,

상기 복수의 서브 데이터 신호들을 버퍼링시키는 단계; 및

상기 버퍼링된 복수의 데이터 신호들을 멀티플렉싱시켜 상기 데이터 신호를 리타이밍시키는 단계를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 방법.

【청구항 32】

제1주기($c1$)를 가진 데이터 신호열을 입력하고, 상기 제1주기 보다 긴 제2주기($c2 = c1/n$; 여기서 $n \geq 4$)를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 주파수 클럭 신호들을 각각 입력하여,

상기 제1주기와 동일한 주기를 가지며 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 위상차 신호열 및 기준 신호열과, 상기 제2주기와 동일한 주기를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 서브 데이터 신호열들을 각각 출력하는 단계;

상기 위상차 신호열과 상기 기준 신호열을 입력하여 상기 위상차 신호열에 응답하여 레벨이 가변되는 전압제어신호를 발생시키는 단계;

상기 전압제어신호의 레벨에 응답하여 주파수 제어된 n 개의 주파수 클럭 신호들을 상기 n 개의 주파수 클럭 신호들로 발생시키는 단계; 및

상기 n 개의 서브 데이터 신호열들을 상기 주파수 제어된 n 개의 주파수 클럭 신호들로 리타이밍시켜 상기 제1주기와 동일한 주기를 가진 복원 데이터 신호열을 발생하는 단계를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원방법.

【청구항 33】

데이터 신호를 상기 데이터 신호의 전송율의 $1/N$ (N 은 4이상의 정수)의 주파수를 가지는 복수의 주파수 클럭 신호들에 각기 위상을 비교하여 위상차 신호, 기준 신호 및 상기 데이터 신호의 일부 데이터 정보를 가지는 서브 데이터 신호들을 발생시키는 선형 위상 검출기;



상기 위상차 신호 및 상기 기준 신호를 이용하여 제어 전압을 제어하는 전압 제어 신호를 발생시키는 P/V 변환기;

상기 제어 전압에 따라 상기 복수의 주파수 클럭 신호들을 발생시키고, 상기 전압 제어 신호에 따라 상기 복수의 주파수 클럭 신호들을 보상시키며, 상기 보상된 주파수 클럭 신호들을 상기 선형 위상 검출기에 제공하는 전압 제어 발진기; 및

상기 데이터 신호의 상기 복수의 서브 데이터 신호들과 상기 보상된 복수의 주파수 클럭 신호들을 이용하여 상기 데이터 신호를 리타이밍시키고, 상기 리타이밍된 데이터 신호를 발생시키는 결정 회로부를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 34】

제 33 항에 있어서,

상기 선형 위상 검출기는,

상기 N은 4이고, 상기 복수의 주파수 클럭 신호들은 서로 다른 위상을 가지는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 35】

제 33 항에 있어서,

상기 선형 위상 검출기는,

상기 데이터 신호를 상기 복수의 주파수 클럭 신호들에 각기 위상을 비교하여 각각의 위상차를 검출하고, 상기 검출된 각 위상차에 대한 제 1 위상차 정보를 각기 가지는 위상차 정보 신호들을 발생시키는 위상차 정보부;

상기 복수의 위상차 정보 신호들을 2 이상 조합하여 2 이상의 상기 제 1 위상차 정보들을 포함하는 제 2 위상차 정보를 가지는 복수의 조합 신호들을 발생시키는 조합부; 및

상기 복수의 조합 신호들을 이용하여 상기 위상차 신호를 발생시키는 위상차 신호 발생부를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 36】

제 35 항에 있어서,

상기 선형 위상 검출기는,

상기 복수의 위상차 정보 신호들을 이용하여 기준 신호에 대한 정보를 가지는 복수의 기준 정보 신호들을 발생시키는 기준 신호 정보부; 및

상기 복수의 기준 정보 신호들을 이용하여, 패턴 의존성을 보상시키는 상기 기준 신호를 발생시키는 기준 신호 발생부를 더 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 37】

제 33 항에 있어서,

상기 P/V 검출기는,

상기 위상차 신호 및 상기 기준 신호에 따라 전하량 제어 신호를 발생시키는 차지 펌프; 및

상기 전하량 제어 신호에 따라 상기 전압 제어 신호를 발생시키는 필터부를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 38】

제 37 항에 있어서,

상기 차지 펌프는,

상기 위상차 신호 및 상기 기준 신호에 따라 상기 필터부에 전하를 제공하는 전하 충전부;

상기 위상차 신호 및 상기 기준 신호에 따라 상기 필터부에 축전된 전하를 방전시키는 전하 방전부; 및

상기 위상차 신호 및 상기 기준 신호를 이용하여 패턴 의존성을 보상하는 패턴 보상부를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 39】

제 37 항에 있어서,

상기 필터부는 저대역 통과 필터인 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 40】

제 37 항에 있어서,



상기 필터부는, 상기 전하량 제어 신호에 따라 상기 전압 제어 신호를 발생시키는 전압 신호 발생부를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 41】

제 33 항에 있어서,

상기 전압 제어 발진기는,

상기 전압 제어 신호에 따라 주파수를 변화시키는 튜닝부; 및

상기 변화된 주파수에 따라 상기 복수의 주파수 클럭 신호들을 상기 선형 위상 검출기에 제공 하는 주파수 신호 발생부를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 42】

제 33 항에 있어서,

상기 결정 회로부는, 상기 기준 신호 정보부에 결합된 멀티플렉서를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 43】

제 33 항에 있어서,

상기 결정 회로부는,

상기 기준 신호 정보부에 결합된 버퍼; 및

상기 버퍼의 출력단에 결합된 멀티플렉서를 포함하고 있는 것을 특징으로 하는 클럭 및 데이터 복원 장치.

【청구항 44】

제1주기($c1$)를 가진 데이터 신호열을 입력하고, 상기 제1주기 보다 긴 제2주기($c2 = c1/n$; 여기서 $n \geq 4$)를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 주파수 클럭 신호들을 각각 입력하여,

상기 제1주기와 동일한 주기를 가지며 상기 입력되는 데이터신호열의 순서에 대응하는 순서로 나열된 위상차 신호열 및 기준 신호열과, 상기 제2주기와 동일한 주기를 가지며, 순차적으로 $2\pi/n$ 의 위상차를 가진 n 개의 서브 데이터 신호열들을 각각 출력하는 위상차 검출수단;

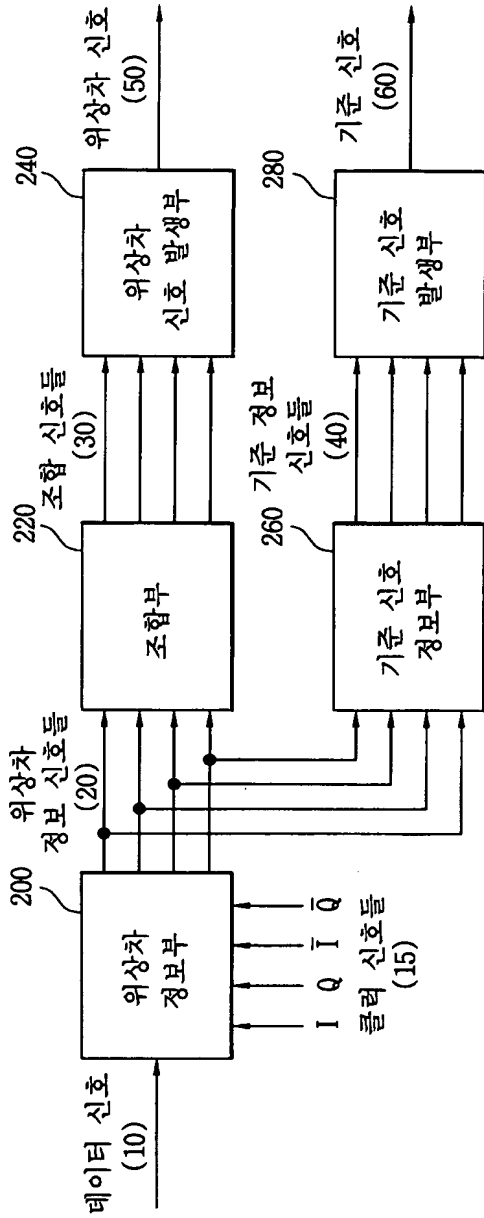
상기 위상차 검출수단과 연결되고, 상기 위상차 신호열과 상기 기준 신호열을 입력하여 상기 위상차 신호열에 응답하여 레벨이 가변되는 전압제어신호를 발생시키는 상기 P/V 변환수단;

상기 P/V 변환수단에 연결되고, 상기 전압제어신호의 레벨에 응답하여 주파수 제어된 n 개의 주파수 클럭 신호들을 상기 n 개의 주파수 클럭 신호들로 발생시키는 전압제어발진수단; 및

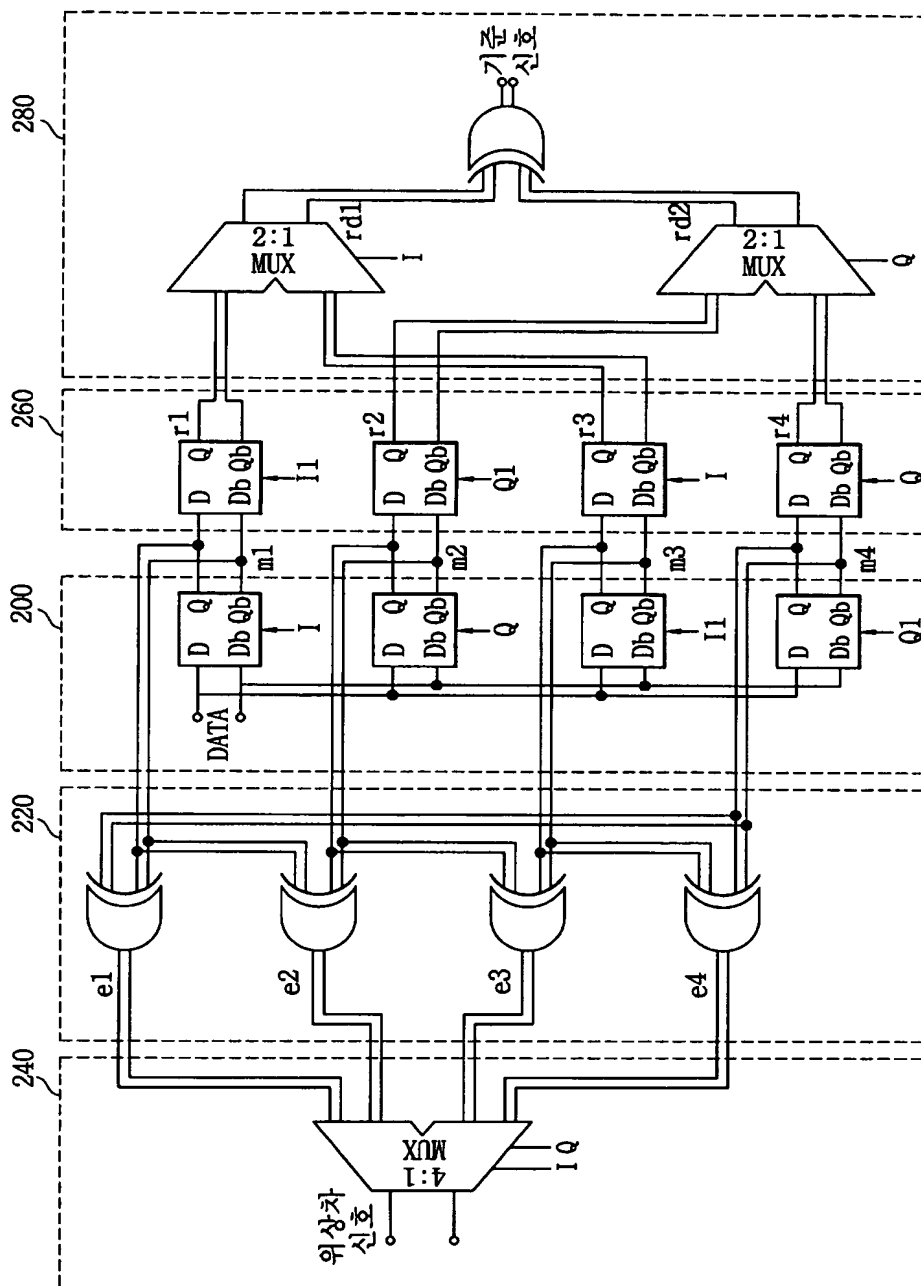
상기 n 개의 서브 데이터 신호열들을 상기 주파수 제어된 n 개의 클럭 신호들로 리타이밍시켜 상기 제1주기와 동일한 주기를 가지는 복원 데이터 신호열을 발생하는 결정수단을 구비하는 것을 특징으로 하는 클럭 및 데이터 복원장치.

【도면】

【도 1】

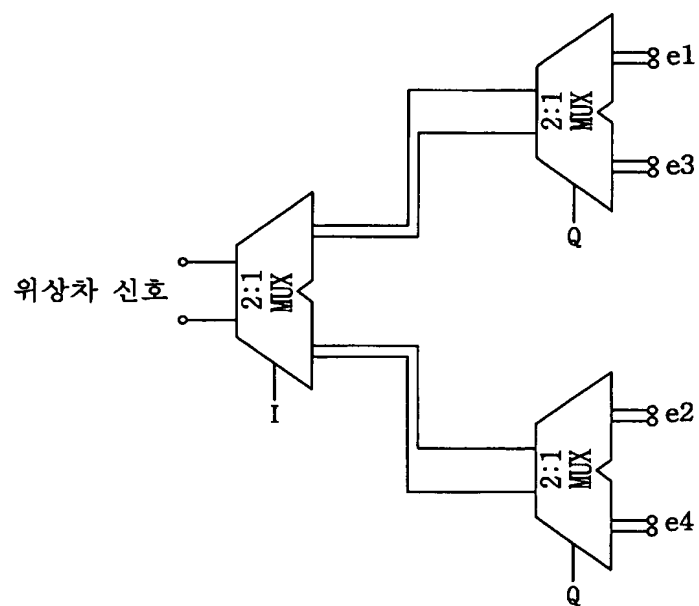


【도 2a】



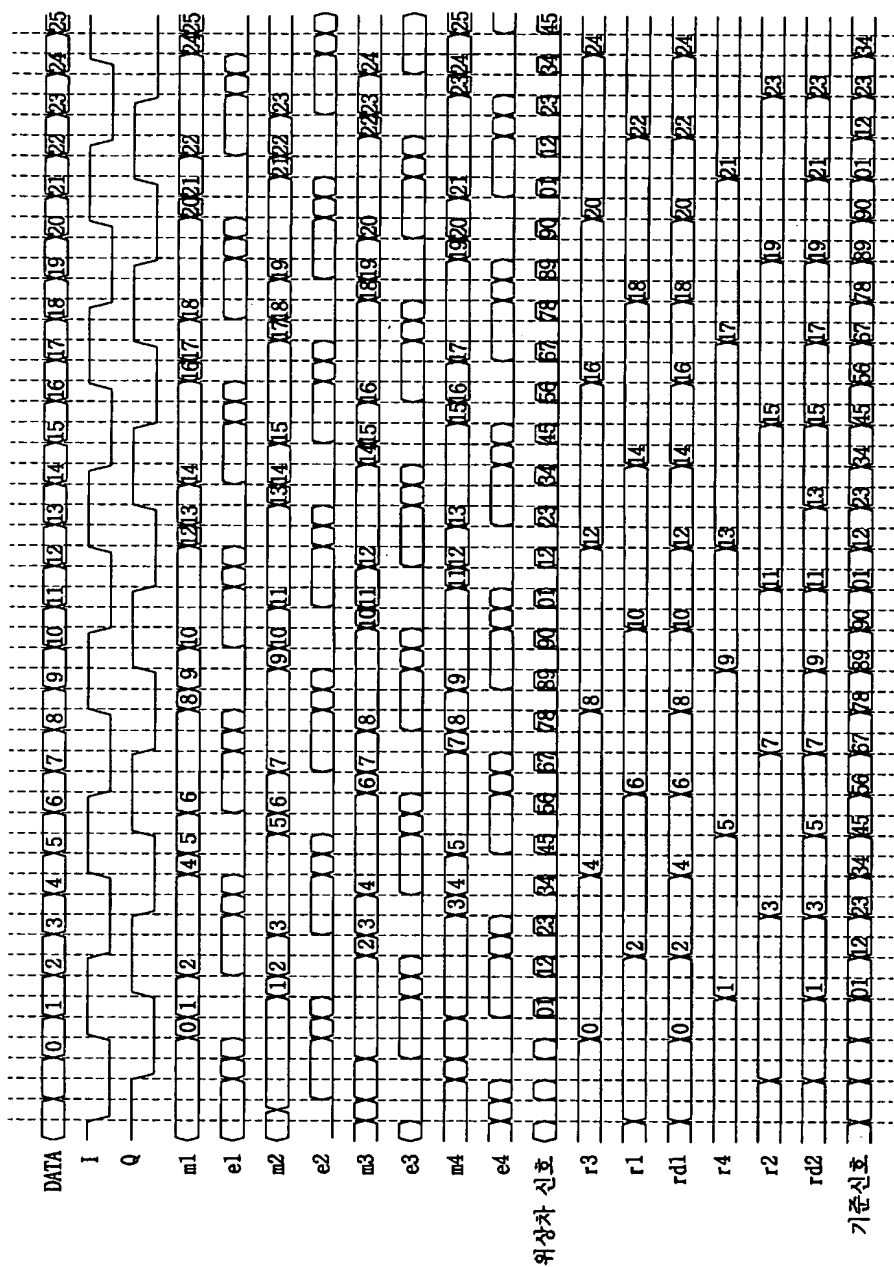


【도 2b】



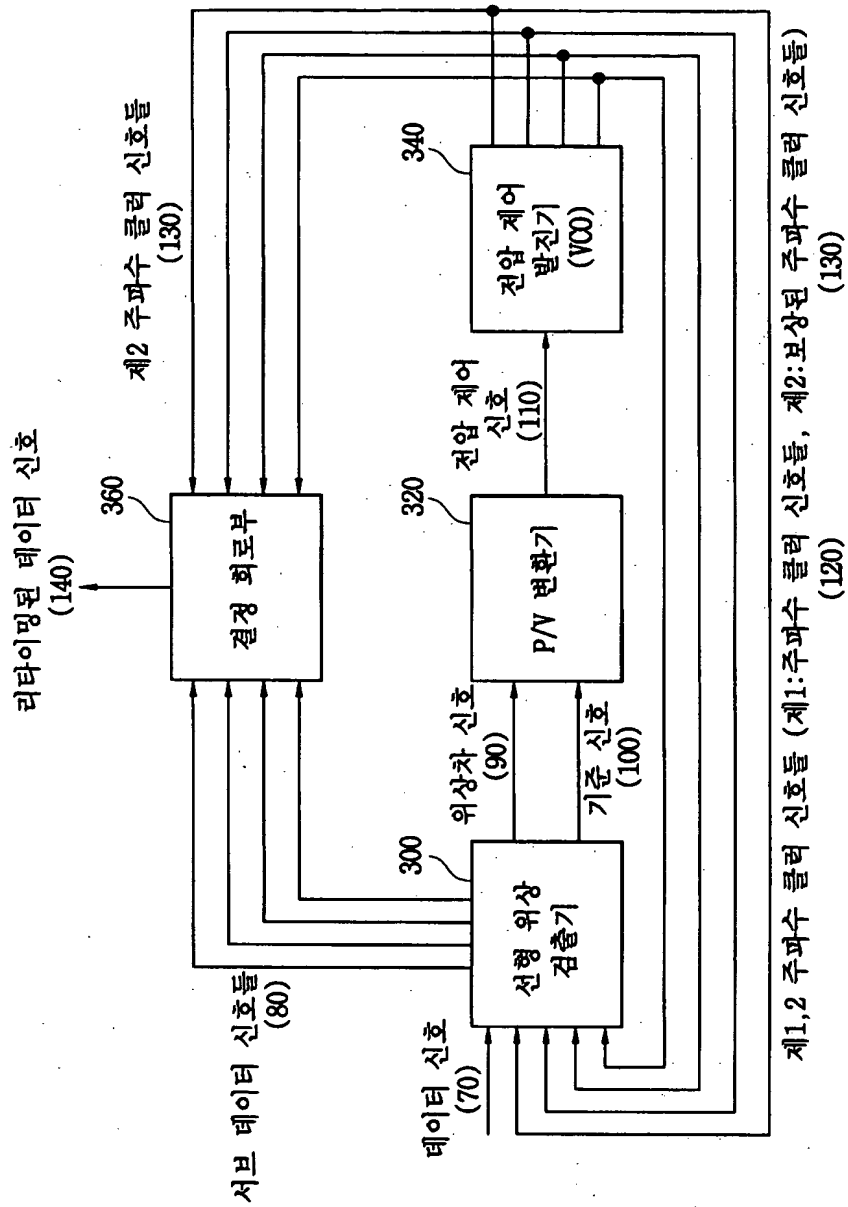


【도 3】



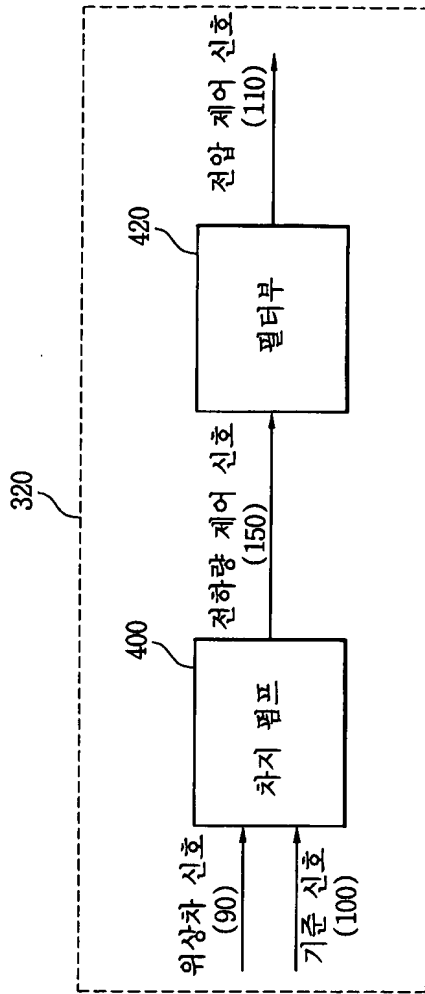


【도 4】



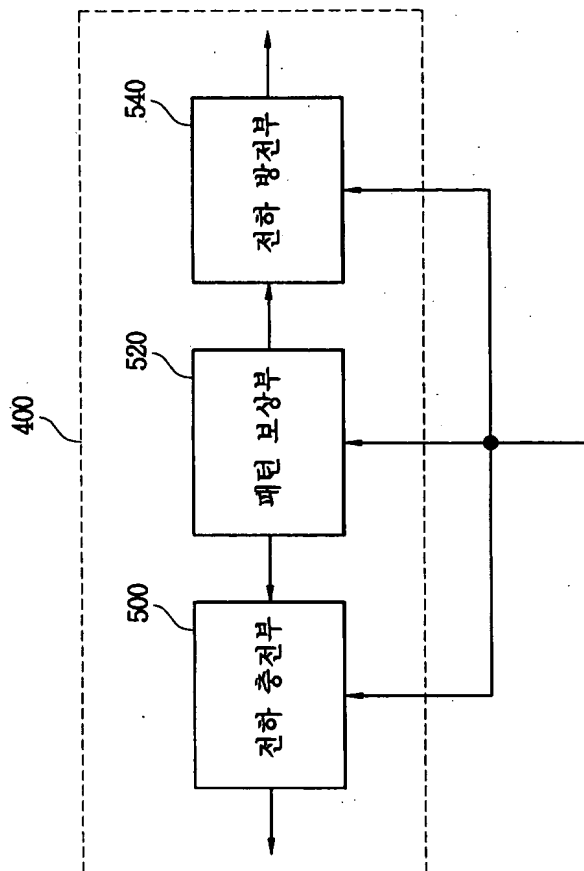


【도 5】

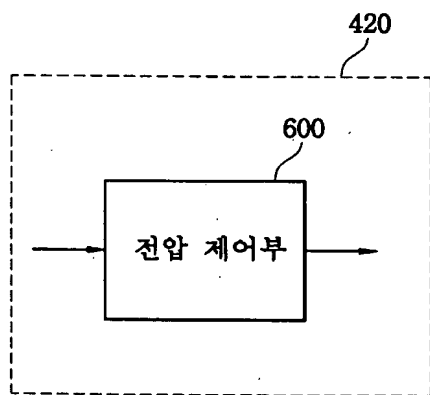




【도 6】

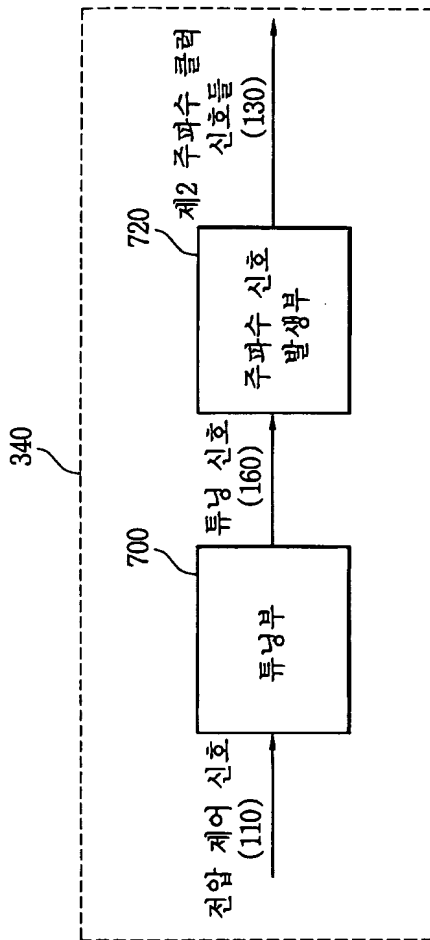


【도 7】



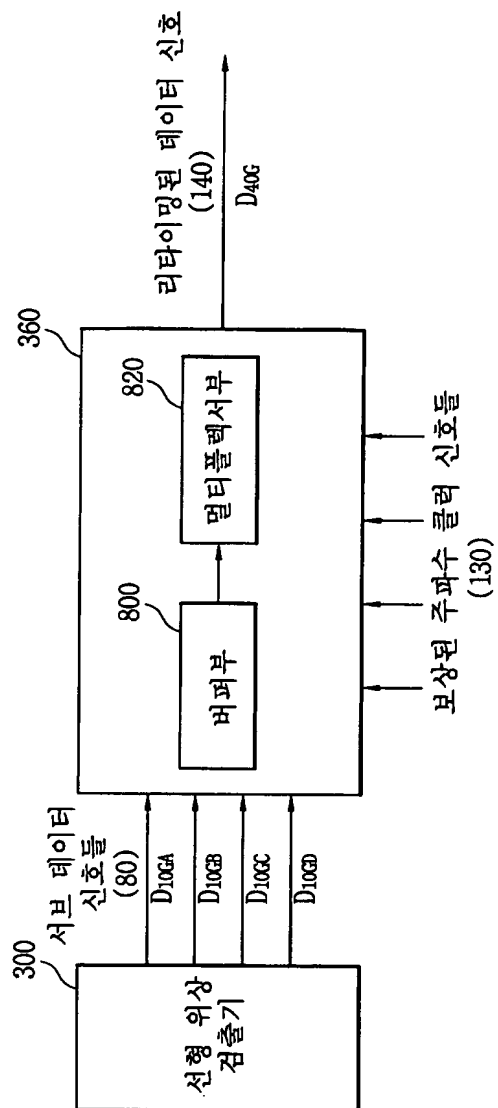


【도 8】





【도 9】



【도 10】

